

文章编号 1004-924X(2007)06-0935-06

基于 Virtex-4 FPGA 的低功耗图像融合系统

宋亚军,许廷发,倪国强,高 昆,王 强

(北京理工大学 信息科学技术学院 光电工程系,北京 100081)

摘要:基于电源模块、外部存储器和 FPGA 器件等具体分析了融合系统的低功耗设计。FPGA 器件选择了 Xilinx 公司针对高性能信号处理的 Virtex-4 SX35 三百万门级芯片,电源模块采用 TI 公司的两片 TPS54310 和一片 TPS54610,具有低功耗特性,电压调节范围为 0.9~3.3 V,调节精度可达 1%。外部存储器使用高速、低功耗的 ZBT SRAM 存储器,消除了标准 SRAM 器件存在的读和写周期期间的等待状态和空闲周期,该功能可极大地改善存储器性能,在存在频繁的读/写操作变换时效果更佳。结合图像融合算法的特点和 Virtex-4 SX 系列 FPGA 的资源与技术优势,讨论了在总线编码、流水线设计和并行处理等方面的低功耗设计方法。结果显示:采用此技术设计的融合系统有效降低了系统的实际功耗,其动态功耗降幅可达 50%,为提高融合系统的可靠性提供了有力支持。

关 键 词:FPGA;图像融合系统;Virtex-4;低功耗

中图分类号:TP391.4 **文献标识码:**A

Low power image fusion system based on Virtex-4 FPGA

SONG Ya-jun, XU Ting-fa, NI Guo-qiang, GAO Kun, WANG Qiang

(*Department of Photo-electronic Engineering, School of Information Science and Technology, Beijing Institute of Technology, Beijing 100081, China*)

Abstract: In order to reduce the power consumption of image fusion system based on FPGA, the main factors impacting on the system power consumption were introduced. Then the low power designs of main modules in the system were analyzed in detail, including power module, outer memorizer, FPGA device and so on. The Virtex-4 SX35 FPGA equaling to a device of three million logic gates produced by Xilinx for high-performance signal processing was selected, and TPS54310 and TPS54610 with low power character, and adjustable output voltage of 0.9~3.3 V and accuracy of 1% designed by TI were used to produce the main system power. ZBT SRAM was chosen for outer memorizer to realize unlimited true back-to-back read/write operations without waiting states, it can dramatically improve the throughput of data in system, especially when it requires write/read transitions frequently. With the characteristics of fusion algorithms and the advantages in resource and technology of Virtex-4 FPGAs, the particular low power design was discussed around such techniques as bus coding, pipeline design and parallel processing, etc. The analytic conclusions indicate that the real power consumption of the system can be reduced effectively and its reliability can be guaranteed if the foregoing designs are adopted properly.

收稿日期:2007-03-22;修订日期:2007-04-18.

基金项目:国家 973 计划资助项目

Key words: FPGA; image fusion system; Virtex-4; low power

1 引言

未来图像传感器的一个重要发展趋势是实现像元级的智能信息处理,如发展中的“灵巧”红外多色焦平面阵列,通过在每个波段的探测器单元中附加某些像元级处理,来减小传感器带宽和待处理数据的吞吐量。实现这些传感器的技术难点之一是对功耗的苛求。FPGA 技术作为像元级处理的重要前端验证技术,与 ASIC 技术相比,具有开发周期短、成本低和灵活性高等优点,已经有越来越多的 FPGA 器件被用来代替原来由 ASIC 完成的高性能信号处理任务^[1]。因此,采用 FPGA 实现大数据量、多通道图像融合等高性能 DSP 处理系统时的低功耗设计就显得异常重要。经过 20 多年的发展,FPGA 拥有了更多的逻辑单元、更高的性能、更低的单位成本,出现了千万门级的系统级器件。随着元件集成的功能越来越多,并越来越小型化,对低功耗设计的要求也越来越高。

2 融合系统功能简介与功耗分析

图 1 是设计的融合系统框图。输入数据源将 A、B 两路视频数据以 LVDS 方式送到 FPGA 对应的接口。FPGA 将输入的两路视频数据按一定的融合算法进行融合处理。如果处理的数据量比较大,可通过内部的 ZBT SRAM 控制器将中间数据缓存到外部 ZBT SRAM 存储器 A 和 B 中。融合后的数据通过 FPGA 相应的接口以 LVDS 方式传送给输出数据接口。电源管理模块给 FPGA 和外部器件提供所需的工作电压,同时保证正确的上电顺序。配置芯片在系统上电后将预先存储的程序下载到 FPGA 芯片中。从中可以看出,系统的功耗主要来源于 FPGA、外部存储器和电源芯片三个部分。其中,电源部分的功耗主要是各电源芯片在进行电压转换时的内部损耗及外围元器件的消耗;外部存储器的功耗主要来源于存储器内部的电流消耗和存储器与外部电路进行工作时所产生的外部功耗。下面主要分析 FPGA 的功耗。

FPGA 的总功耗 P_{full} 包括启动功耗 P_{boot} 、静

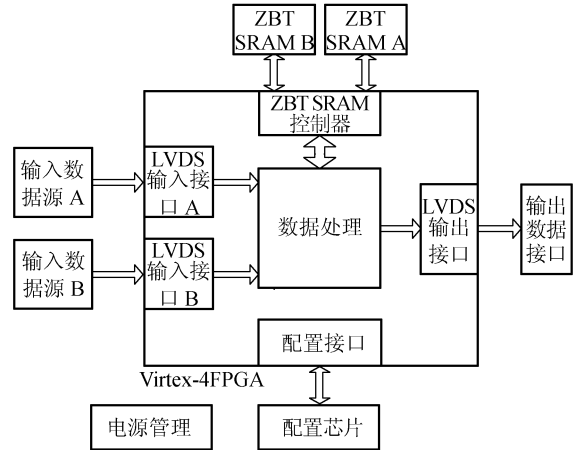


图 1 基于 Virtex-4 FPGA 的融合系统框图

Fig. 1 Block diagram of image fusion system based on Virtex-4 FPGA

态功耗 P_{st} 和动态功耗 P_{dyn} 之和,如式(1)所示:

$$P_{\text{full}} = P_{\text{boot}} + P_{\text{st}} + P_{\text{dyn}}, \quad (1)$$

启动功耗是器件上电时的启动电流产生的功耗,其中启动电流因器件的不同而不同。基于 SRAM 的 FPGA 由于上电时需要从外部存储芯片下载数据来配置其可编程资源,因而具有高的启动电流。而反熔丝 FPGA 不需要上电配置,因而没有高的启动电流。

静态功耗是指逻辑门没有开关活动时的功率消耗,主要由泄漏电流造成,随温度和工艺的不同而不同。静态功耗主要取决于所选的 FPGA 产品。例如,Virtex-4 器件与其他 90 nm FPGA 技术相比,静态功耗低了 78%。

动态功耗是指对器件内的容性负载充/放电所需的功耗。它很大程度上取决于频率、电压和负载。单节点的定量关系如下^[2]:

$$P = \alpha \cdot C \cdot V_{\text{dd}}^2 \cdot f, \quad (1)$$

其中, α 为节点一个周期内平均电容充放电的次数, C 为节点电容, V_{dd} 为工作电压, f 为时钟频率。

3 融合系统的低功耗设计

3.1 电源低功耗设计

目前,对 DSP、FPGA 等器件的供电方案主要有以下三种:低压差线性稳压器(LDO),开关

稳压电源和电源模块。LDO 随着输入、输出电压差的增大使输出电流增加,会导致更大的内部损耗,其发热量也越来越大,对系统的散热性能要求也越来越高。开关稳压电源包括 DC/DC 调节器和 DC/DC 控制器两种,前者比后者多集成有 FET,可以减少外围元器件的数目,有利于电源部分的布局和布线。开关稳压电源是通过控制开关通断的时间比率来维持输出电压的稳定,具有较大的输出电流,较高的转换效率,较小的功耗,其存在的纹波较大问题,可通过调节外部元器件参数和种类来降低到工作器件限定的范围。而电源模块实际上是集成度更好的开关稳压器,但电源模块的高集成度导致其灵活性较差,同时其价格较高,在普通开发中较少应用。

本系统采用的 Virtex-4 FPGA 为百万门级芯片,当其资源占用较大时,所要求的供电电流将比较大。考虑到设计的冗余,本系统最终选择开关稳压电源作为系统核心电源的供电芯片。实际中采用了 TI 公司的两片 TPS54310(输出电流最大为 3 A)和一片 TPS54610(输出电流最大为 6 A)分别为系统提供 2.5 V、3.3 V 和 1.2 V 的工作电压。TPS54310 和 TPS54610 是两款低电压输入高电流输出的同步降压 DC/DC 调整器,内含 MOSFET 开关管,电压调节范围为 0.9~3.3 V,调节精度可达 1%,同时具有限流电路、低压闭锁电路和过热关断电路,完全满足了系统中关键器件对电压、电流和纹波等方面的要求。

3.2 外部存储器低功耗设计

目前,外部接口电路中作为缓存使用的存储器主要是 SRAM 型和 DRAM 型存储器。SRAM 型器件与 DRAM 型器件的不同在于 DRAM 需要进行周期性的刷新操作。由于采用了对称型的电路结构和具有一次接收所有地址位的特性,使得 SRAM 的访问速度通常要快于采用行地址和列地址复用结构的 DRAM。由于融合系统需要处理两路的视频数据,数据量较大,同时融合算法在处理过程中需要频繁的访问外部存储器,实际中采用了高速、低功耗的 ZBT SRAM 存储器。该器件消除了标准 SRAM 器件存在的读和写周期期间的等待状态和空闲周期,能够实现 100% 的总线利用率,该功能极大地改善了存储器性能,在存在频繁的读/写操作变换时,效果更佳。

3.3 FPGA 低功耗设计

为了有效地降低 FPGA 器件的功耗,可以从器件自身资源、设计软件和设计方法等方面考虑。

从器件自身资源考虑:

(1)选择正确的 IP 核至关重要。不同供应商提供的 IP 内核对于低功耗所起的作用各有侧重^[3]。

(2)充分利用 FPGA 器件内部的专用模块,如 Xilinx 器件提供的块 RAM、18×18 乘法器、DSP48 块等专用模块。采用这些模块能节约常规逻辑资源,增加系统的执行速度,减少系统的功耗。

(3)选择合适的 I/O 标准。低压和无端接标准通常有利于降低功耗,任何电压的降低都会对功耗产生平方的效果。

利用 FPGA 的结构来降低功耗还有赖于所使用的软件工具。使用专用模块电路并智能地设计逻辑功能的综合工具,有助于降低动态功耗。同时,利用功耗分析软件对设计的功耗进行及时分析也非常重要。例如,集成在 ISE 软件中的 XPower 功耗分析工具,可提供层次化的详细功耗显示、详细的总结报告和功耗向导,可接收仿真的设计活动数据,并可以在 GUI 模式和批处理模式运行。

动态功耗是由逻辑门开关活动而引起的。采用合理的设计方法,有效控制实际工作时的逻辑门,将有助于器件动态功耗的降低。这些设计方法包括算法优化、地址编码、流水线设计、时钟控制 and 数据处理等,下面做具体介绍。

实际设计中采用了 Xilinx 公司的 Virtex-4 SX35 三百万门的平台级 FPGA。Virtex-4 SX 系列 FPGA 主要是针对高性能信号处理应用的(如无线通信、视频、多媒体和高级音频)。该系列除了具有用于通用逻辑应用的 LX 系列的 FPGA 的所有功能外,还针对高性能实时信号处理的需要提供了高比例的 Xtreme DSP 逻辑片和嵌入式块 RAM 资源,在大幅度降低功耗的同时提供了卓越的 DSP 功能。此外,500 MHz Xtreme DSP 逻辑片可以级联使用,并且可全速工作。

4 降低动态功耗的设计方法

从 FPGA 的设计流程来考虑,在各个抽象层

次上可采用的低功耗设计方法为:

- (1)系统级:功能划分,功耗管理,变电压技术等;
- (2)行为级:数据本地化,并行操作,流水线等;
- (3)RTL级:地址编码,多时钟技术,结构转换,存储器分段等;
- (4)逻辑级:逻辑表达式转换等;
- (5)晶体管级:尺寸调整,顺序调整等。

对应于各抽象层设计方法的效率和耗时情况可用图 2 表示^[4]。从中可以看出,系统级要相对有效,但设计的难度更大。根据实际系统的需要和图像融合算法的一些特点,下面主要针对行为级和 RTL 级相关方法进行研究分析。

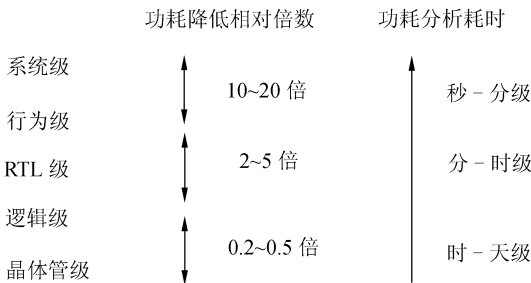


图 2 不同抽象层低功耗设计方法效率比较

Fig. 2 Efficiency comparison of different low power design methods

4.1 地址编码

在用 FPGA 实现如图像融合等大规模数据处理时,地址总线将会占用 FPGA 较多的 I/O 端口,同时具有较高的翻转率,因此其对应的功耗在整个芯片的功耗中占有不小的比重。通过对地址总线进行重新编码,将降低地址总线的翻转率,同时也会导致对应存储器模块相关电路(buffer、decoder)翻转率的降低。从而降低整个芯片的功耗。

对地址总线进行低功耗编码的方法主要有 BI(Bus-Invert)和 T0(Zero-Transition)、格雷码、WZE 编码等^[5]。主要是对 t 时刻与 $t-1$ 时刻 N 位地址总线进行比较,总线上变化的位数如果大于 $N/2$,则将总线取反送出,否则就直接送出。地址接收端在收到地址后是否取反,根据 INV 信号线来确定。例如,地址总线为 8 位, $t-1$ 时刻为 00000000, t 时刻为 00111111,那么将 00111111

取反后送出去。

4.2 流水线设计

从式(2)可以看出,系统工作频率是影响系统动态功耗的主要因素之一。但为了提高数据的处理速度,系统的工作频率不能降得太低,流水线设计为在降低系统功耗同时提高系统时钟频率提供了有效途径^[6]。它在很长的组合逻辑路径中插入寄存器,寄存器虽然增加了运算周期数,却能大大减少组合逻辑延时,提高整个系统的工作频率。

乘法和加法运算是高通滤波、多分辨金字塔和小波变换等融合算法的主要运算之一。Virtex-4 FPGA 中的 DSP48 模块是一个 18×18 位二进制补码乘法器,跟随一个 48 位符号扩展的加法器/减法器/累加器。DSP48 模块提供了丰富的逻辑单元和寄存器资源,嵌入了可配置的流水线寄存器,包括操作数输入端、中间积部分和累加器输出端。这些资源保证了 Virtex-4 FPGA 可以根据实现算法的不同,灵活设计不同级数的流水线。此外,DSP48 Slice 电路和互连线经过了非常仔细地匹配,保证了通道不会成为时序的瓶颈,从而使大部分数学处理可以在 DSP48 内部完成,实现性能最佳化并最大限度地降低功耗。

4.3 并行处理

并行处理的基本思想是将功能模块划分为多个子模块,对子模块进行并行处理,多路选择对应输出。该方法会使电路的面积增加,功耗增大。模块整体功耗的节省来自于子模块时钟频率的减半,频率降低节省的功率在抵消由硬件增加产生的功耗后,仍可使总功耗有明显的下降。其缺点是硬件开销增加,时钟产生扭曲。

图像融合算法通常需要处理两路或者两路以上的图像数据,而多分辨金字塔、小波变换等融合算法,通常都是对单路数据进行加减、滤波等操作后才进行融合处理^[7]。Virtex-4 SX35 具有 192 个 DSP 模块,完全可以满足多路数据流的并行处理。以实现滤波器为例,表 1 分别给出了用 Virtex-II Pro 和 Virtex-4 FPGA 实现 18×18 并行转置 FIR 滤波器的性能比较^[8]。与 Virtex-II 和 Virtex-II Pro 的乘法器和 Block RAM 共用互连线资源不同,Virtex-4 中的 DSP48 tile 和 Block RAM 具有各自独立的布线,使元件间可用的数据带宽实现加倍。

可以看出,Virtex-4 FPGA 在提高滤波器速

度的同时,所使用的硬件资源大大减少,而且经过硬件优化的 XtremeDSP Slice 的功耗仅为 2.3 mW/100 MHz,因此 Virtex-4 FPGA 可以有效降低系统的功耗。

表 1 Virtex-II Pro 与 Virtex-4 FPGA 实现 FIR 滤波器的性能对比

Tab.1 Performance analysis of FIR filters realized by Virtex-II Pro and Virtex-4

滤波器类型	器件系列	大小	性能
18 × 18 并行 转置 FIR 滤 波器(51 抽头 对称型)	Virtex-II Pro FPGA	1860 个 Slice 26 个嵌入式乘法器	300 MHz 300 MSPS
	Virtex-4 FPGA	0 个 Slice 51 个 DSP 48 Slice	400 MHz 400 MSPS

5 结 论

目前,FPGA 所集成的内部逻辑资源和存储资源越来越多,算法处理中的大部分中间结果可以存储在 FPGA 内部,而不用频繁访问外部存储器。同时,电源芯片的设计工艺也不断提高,其本身的功耗与 FPGA 的功耗相比也比较小。这些

因素使得融合系统最主要的功耗来自于 FPGA 本身。本融合系统的核心器件 Virtex-4 由于采用了独特的节能配置电路和 90 nm 三栅极氧化层技术,使得其启动浪涌功耗降低了 94%,静态功耗降低了 78%,动态功耗降幅达 86%。同时在算法实现中,通过采用地址编码、流水线设计和并行处理,当系统的工作频率降低 50%时,即采用最简单的二级流水线,由公式(2)可以看出,在其他条件不变的情况下,FPGA 的动态功耗就可以下降 50%。考虑实际处理中 IP 核的广泛采用,系统的动态功耗至少可以降低 50%。

随着图像融合等基于 FPGA 的图像处理系统对系统的数据处理量、处理速度、稳定性和功耗等方面提出的要求越来越高,研究系统的低功耗设计,特别是核心器件的低功耗设计也变得越来越重要。本文给出的降低基于 FPGA 的融合系统功耗的设计方法和分析结果表明,通过选择合适的低功耗 FPGA 器件和采用对应的低功耗设计方法,可以大大降低 FPGA 器件的动态功耗,从而使系统的整体功耗降至最低,有力地保证了系统工作的可靠性,为未来实现像元级的图像处理提供了必要的技术准备。

参考文献:

- [1] 戴泰初, 阙冲文. 基于 FPGA 的数字逻辑器件开发及优化设计[J]. 微电子学, 2002, 32(5): 397-400.
DAI T CH, QUE P W. The Design of Digital Logic Device Based on FPGA and Its Optimization[J]. *Microelectronics*, 2002, 32(5): 397-400. (in Chinese)
- [2] 梁宇, 韩奇. 低功耗数字系统设计方法[J]. 东南大学学报, 2000, 30(5): 136-141.
LIANG Y, HAN Q. Low Power Design Methodology [J]. *Journal of Southeast University*, 2000, 30(5): 136-141. (in Chinese)
- [3] FRANCIS G W, MICHAEL J K, DAN J W, *et al.*. High-level low power FPGA design methodology [C]. *National Aerospace and Electronics Conference, Proceedings of the IEEE 2000, Dayton, Ohio, USA; IEEE*, 2000, 554-559.
- [4] 王祚栋, 魏少军. SOC 时代低功耗设计的研究与进展[J]. 微电子学, 2005, 35(2): 174-179.
WANG Z D, WEI SH J. Research and progress of low power design in SOC era [J]. *Microelectronics*, 2005, 35(2): 174-179. (in Chinese)
- [5] 马姝琳, 钟先信, 姚富光. 基于 DM642EVM 的 PCI 总线实时数据通信技术[J]. 光学精密工程, 2005, 13(增): 196-200.
MA SH L, ZHONG X X, YAO F G. Real-time data communication based on PCI of DM642EVM [J]. *Opt. Precision Eng.*, 2005, 13(Supp.): 196-200. (in Chinese)
- [6] 周政海, 邓先灿. 流水线技术在用 FPGA 实现高速 DSP 运算中的应用[J]. 杭州电子工业学院学报, 2002, 23(4): 5-8.
ZHOU ZH H, DENG X C. Application of assembly-line technique in realization of DSP high-speed operation with

FPGA[J]. *Journal of Hangzhou Institute of Electronic Engineering*, 2002, 23(4): 5-8. (in Chinese)

[7] 楚恒, 朱维乐. 基于 DCT 变换的图像融合方法研究[J]. *光学 精密工程*, 2006, 14(2): 266-273.

CHU H, ZHU W L. Image fusion algorithms using discrete cosine transform[J]. *Opt. Precision Eng.*, 2006, 14(2): 266-273. (in Chinese)

[8] Xilinx Incorporated. DSP: Designing for Optimal Results[Z], 2005.

作者简介: 宋亚军(1980—), 男, 陕西大荔人, 在读博士研究生, 主要从事基于 DSP、FPGA 的图像融合系统和相关融合算法研究。E-mail: yajunbit@bit.edu.cn

通讯作者: 许廷发(1968—), 男, 博士, 副教授, 北京理工大学光电工程系教师。研究方向为光电成像探测、目标探测跟踪与识别等。E-mail: cion_xtf1@bit.edu.cn